

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HSU, Yu-Min et al. Conf.:
Appl. No.: NEW Group:
Filed: November 24, 2003 Examiner:
For: SEMICONDUCTOR PHOTOTRANSISTOR

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 24, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant hereby claims the right of priority based on the following application:

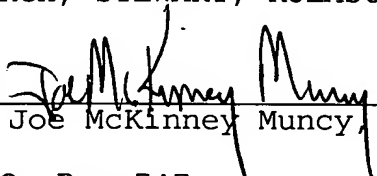
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092124983	September 10, 2003

A certified copy of the above-noted application is attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

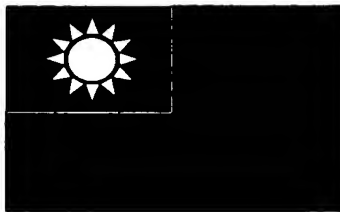
KM/msh
3313-1067P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment

Yu-Min Hsu
11/24/03-BSKB
703-205-8880
3313-1047P

1071



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 10 日
Application Date

申請案號：092124983
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日
Issue Date

發文字號：09221036810
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

半導體光電晶體

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院/ INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 翁政義/ Cheng-I WENG

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung,
Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文) 中華民國 ROC

參、發明人：(共 5 人)

1.姓 名：(中文/英文)

許裕民/Yu-Min HSU

住居所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd.,
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 ROC

2.姓 名：(中文/英文)

許晉瑋/Jin-Wei SHI

住居所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd.,
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 ROC

3.姓 名：(中文/英文)

裴靜偉/Zing-Way PEI

住居所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd.,
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 ROC

4.姓 名：(中文/英文)

袁鋒/Fon YUAN

住居所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd.,
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 ROC

5.姓 名：(中文/英文)

劉致為/Chee-Wee LIU

住居所地址：(中文/英文)

新竹縣竹東鎮中興路四段 195 號/ No. 195, Sec. 4, Chung-Hsing Rd.,
Chu-Tung, Hsinchu, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 ROC

肆、聲明事項：

☒ 本案係符合專利法第二十條第一項 ☒ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：92 年 9 月 9 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明揭露一種光電晶體結構，係約略於集極層側邊和基極層下方成長一側壁層，並於側壁層的表面製作一側壁接點，使得當側壁接點外接一電壓時，即可將累積於基極射極接面處的電洞快速移除，以解決先前所揭露的半導體光電晶體，使用基極射極偏壓的方式移除電洞所造成大量的暗電流（偏壓電流）、功率損耗以及光電轉換的增益變小的問題。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

10.....基板
20.....次集極層
30.....集極層
31.....集極電極
40.....基極
41.....基極電極
50.....射極
51.....射極電極
60.....側壁層
61.....側壁接點

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種光電晶體，特別是一種利用側壁接點結構以增加元件速度及光電頻寬的半導體光電晶體。

【先前技術】

以矽晶材料取代三五族材料所製成的光檢測器，在光纖通信市場中具有低成本、高良率以及其與後級電路具有高整合度等等競爭優勢。然而其能帶寬度、非直接能帶及相對上較低電子移動速度，卻使得其光電元件在光纖通信波長附近（ $\sim 0.85\ \mu\text{m}$ ， $1.3\sim 1.55\ \mu\text{m}$ ）的特性表現較三五族元件來的差。

在一般以矽晶所製成的檢光器中，為了達成速度上至少大於 2.5GBits/sec 的要求，需要使用到深溝(deep trench)技術、絕緣物上矽基板(SOI)、晶片接合(wafer bonding)等等技術。這些技術不僅大幅增加成本，也大幅增加與後級電路系統整合的困難度。異質接面光電晶體(Hetero-Junction Phototransistor, HPT)技術和之前所提及的技術相比，由於不需使用 SOI 基板，不僅解決了基板電流的問題，其與後級雙極性電晶體電路也有完全相容易整合的特性。

除此之外，此種元件所具有大光電流增益，也可彌補矽晶材料吸收較差的缺點並達成規格需求的響應值。和另一種具有增益的檢光器：累增崩潰偵測器(Avalanche Photodiode, ADP)，技術相比，光電晶體不僅能在較低的操作電壓提供較大的增益，並且也不需使用複雜的壓控和溫控電路。

傳統上，異質接面光電晶體雖然有極高的響應度，然而所遭遇最大的

問題就是速度表現，因而限制了其在實際數位光纖通信系統和商品化的機會。

目前已揭露的光電晶體相關技術，例如美國專利第 4833511 號所揭露的光電晶體並未在速度上提出解決方案，僅多加量子結構以增進光電晶體的響應值。而美國專利第 5844253 號所揭露的光電晶體係在射極基極接面增加量子點結構，以利用熱電子效應增進光電晶體的速度。美國專利第 6525348 號所揭露的光電晶體係採用傳統雙端接點模式，並利用最佳化基極摻雜的方式提昇速度。這些已揭露的光電晶體所得到的實驗結果並不如預期。此外，大量的光電晶體其速度表現在不犧牲光電流增益操作時（Base open），其反應速度大概都在 ns 級。

一般光電晶體在操作時，通常採用基極開路模式。其操作是藉由光激發載子將基極射極接面（B-E 接面）順向偏壓以提供大的光電轉換增益，然而此操作模式卻造成光電晶體的光電頻寬僅達到 MHz 等級，主要是因為光激發產生的電洞會累積在射極與基極接面處無法移除，為了解決速度的問題，此時在 B-E 接面外加一偏壓電壓（ V_{BE} ）或偏壓電流（ I_B ）將電洞移除為最直接的方法，然而此方法卻有一些缺點而限制了其實用性，例如巨大的暗電流（偏壓電流）和及所造成的功率損耗，增益值因為外加偏壓而衰減，並且大幅增加元件的暗電流和待機時的功率損耗。

因此，在不損耗元件的增益下並且不增加元件功率損耗的情形下改善光電晶體的速度表現，實為亟待解決的技術課題。

【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種光電晶體，藉以在不損耗元件的增益下並且不增加元件功率損耗的情形下改善光電晶體的速度表現。

本發明係藉由在光電晶體的結構中在增加一適當摻雜的側壁層，並於其上形成一側壁接點 (side wall contact)，以將基極射極接面中所累積的光激發電洞由側壁層上的側壁接點直接移除。

因此，為達上述目的，本發明所揭露之半導體光電晶體之結構，係約略於集極層側邊和基極層下方使用佈值或是磊晶的方式成長一側壁層，並於表面製作一金屬之側壁接點。於操作時，將金屬接點連接一最低電壓，即可將累積於基極的電洞移除，達到增加速度的目的。

由於光電晶體的速度關鍵並不是在電子傳輸的時間，而是在累積電洞移除的時間。因此，本發明所揭露的光電晶體結構，在技術功效上，可以加快電洞移除的時間以增加光電晶體的速度。

與傳統的方法相比，本發明所揭露的光電晶體結構更具有另一技術功效，因為本發明所揭露的光電晶體架構並不會大幅犧牲響應度，不需大的偏壓電流即可快速的移除電洞，甚至可以更有效的增加元件速度。此外，本發明所揭露的結構可與目前工業界標準化的矽鍺雙極性電晶體製程 100% 完全相容，並在以光電晶體為主幹的光電積體化電路 (OEIC) 提供更多應用的機會。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

【實施方式】

請參考『第 1 圖』，係為本發明所揭露之的光電晶體之第一實施例之結構截面圖。

圖中所揭示的光電晶體，其中基板 10，係為一適當摻雜半絕緣之半導體基板或絕緣體基板。基板 10 上成長有一適當摻雜的次集極層 (sub-collector，或稱為埋層 (buried layer)) 20，較佳為重摻雜，在次集極層 20 上形成有一適當參雜的集極層 (collector) 30，其上形成有一集極電極 31。在集極層 30 上，形成有一適當摻雜之基極層 (base) 40，較佳為重摻雜，其摻雜形式需和集極層 30 與次集極層 10 不同，厚度約在 10nm~500nm 之間，並於其上形成有一基極電極 41。在基極層 40 上形成有一重摻雜之射極層 (emitter) 50，並於其上形成有一射極電極 51，其帶溝寬度可大於等於基極的帶溝寬度，並且和基極層之摻雜形式不同。換句話說，射極層與集極層的摻雜形式為相同，與基極層不同，因此，若基極層為 N 型摻雜，則射極層與集極層為 P 型摻雜，若基極層為 P 型摻雜，則射極層與集極層為 N 型摻雜，惟 N 型摻雜之基極層在實際上較少應用。

在集極層 30 之側邊，利用半導體製程技術，例如離子佈值、擴散等等，定義出一適當摻雜的側壁層 60，較佳為重摻雜。若基極層為 P 型摻雜，則側壁層 60 則為適當摻雜之 P 型井，若基極層為 N 型摻雜，則側壁層 60 則為適當摻雜之 N 型井。並於側壁層 60 上形成一側壁接點 61，此側壁層 60 的橫向位置是在集極層 30 的側邊，縱向位置約略在基極層 40 的下方，並和集極層同一平面。此側壁層 60 可製作一個或一個以上，分佈在射極區兩側與周圍。

由以上的說明，本發明最主要的關鍵，係約略在集極側邊和基極下方使用佈值或磊晶的方式成長一摻雜形式與基極層相同之側壁層，在於其表面製作一金屬接點，以形成側壁接點，藉由此側壁層快速的移除電洞。和一般光電晶體最大不同之處在於約略在次集極層 (buried layer) 上方和基極下方多成長一層 P 型井或 N 型井。

在操作時，於側壁接點外接一最低電壓將電洞直接由側壁層移除，與使用 B-E 偏壓移除多餘電洞的方法相比，使用側壁接點的方法並不需要把電洞推向重摻雜之射極區，因而造成很長的擴散電流時間，且會大幅增加暗電流而犧牲了增益。

本發明所揭露的概念亦可應用具有量子結構的光電晶體，請參考『第 2 圖』，其結構與『第 1 圖』中所揭露的實施例，不同之處在於集極層 30 中具有使用不同半導體材料交錯成長於集極層 30 上的量子結構 70，例如量子井 (quantum well)，或者是疊晶格 (super-lattice)、量子點 (quantum dot)，可同時減緩磊晶層和基板的應力不平衡，並達成操作光波長吸收的目的。此層為吸光層，可採用 P 型或 N 型的重摻雜。

除了量子結構之外，可使用和基板晶格常數匹配但帶溝較窄可以充分吸收入射光的磊晶層直接成長取代之。

在『第 1 圖』與『第 2 圖』所揭露的實施例中，在材料的選用方面，射極層可採用矽作為選擇，基極可採用矽鍺合金，吸光層可採用 Si/SiGe MQW、Si/Ge QD、Si(C)/SiGe MQW、SiGe 或 SiGe(C)合金，集極層和次集極層可用矽作為選擇，這些磊晶層可以成長於矽基板或絕緣基板 (Silicon on

Insulator, SOI) 上。除了以上的材質之外，亦可使用所有三五族化合物或三五族化合物合金半導體實現，例如，射極可用 InAlAs 或 InP，基極可用 InGaAs 或是 InGaAsP 合金，吸光層可用 InGaAs 合金，集極和次集極可用 InP 或是 InGaAs，這些磊晶層可以成長在 InP 基板上。

以上所述之磊晶層的成長可使用目前已揭露的磊晶技術和條件，例如分子束磊晶 (MBE)、化學氣象磊晶 (CVD)、或液相磊晶 (LPD) 等等磊晶技術。

應用本發明的第三實施例請參考『第 3 圖』，係為應用於側邊入射光波導光電晶體 (edge illuminated waveguide phototransistor) 之結構示意圖，在基板 10 上成長有一集極層 30，其上成長有一集極電極 31，在集極層 30 上成長有一基極層 80，係以 SiGe 為材料，基極層 80 上形成射極層 90，射極層 90 兩側形成有兩個基極電極 81，射極層 90 上形成有射極電極。在集極層 30 之中，定義出一重摻雜的側壁層 60，並於側壁層 60 上形成一側壁接點 61，此側壁層 60 的橫向位置是在集極層 30 的側邊，縱向位置約略在基極層 40 的下方，並和集極層同一平面。所成長的側壁層 60 必須與量子結構在同一平面上，以達成側向傳輸載子的目的。

當需要大功率的元件時，可將本發明所揭露的光電晶體形成一以串接形式製作，或形成一陣列，以增加光電晶體的光電流。

關於本發明所揭露的第一實施例與先前技術的比較驗證，請參考『附件一』與『附件二』，利用常見的矽鍺光電晶體中的基板接點結構對本發明所揭露的概念作驗證，和實施例不同之處在於基板接點結構的 P 型井與 P

型基板相連，並且沒有重摻雜和最小化接點相對距離以減低寄生電阻來增進光電晶體的速度，此外，當元件的射極越作越小時，此側壁接點與電洞橫向傳輸距離縮短，其增進速度提昇的效果會更加的顯著。

『附件一』為側壁接點開路，基極接點開路和接地的脈衝響應比較， V_{CE} 為 1 伏特，TRACE A 為基極接點開路，TRACE B 為基極接點接地時，在大約 850nm 波長光激發下所得到之脈衝響應比較。從『附件一』可以知道雖然元件速度明顯從 2.5ns 提昇到 0.95ns，但是光電流大小卻從 $15\mu A$ 下降到 $0.1\mu A$ 。『附件二』為利用側壁接點之後的速度表現，係為基極接點開路，側壁接點開路與接地的脈衝響應比較，TRACE A 為側壁接點開路，TRACE B 為側壁接點接地時，為了和『附件一』使用基極接點作比較，『附件二』的基極接點為開路，從圖中可以發現元件的速度明顯的從 2.5ns 提昇到 0.85ns，光電流大小僅從 $15\mu A$ 下降到 $8.7\mu A$ ，與先前技術相較，光電流增益並無太大的犧牲。

關於本發明所揭露的第二實施例與先前技術的比較驗證，請參考『附件三』與『附件四』，係比較具有量子結構的矽鍺光電晶體利用側壁接點後的速度表現。

『附件三』為側壁接點開路，基極接點開路和接地，在大約 850nm 波長光激發下所得到之脈衝響應比較。TRACE A 為基極接點開路，TRACE B 為基極接點接地。從『附件三』可以知道雖然元件速度幾乎不變，但是光電流大小卻從 $90\mu A$ 下降到 $0.11\mu A$ ，光電流增益犧牲非常的驚人。

『附件四』為利用側壁層之後的速度表現，係為基極接點開路，側壁

接點開路與接地的脈衝響應比較，TRACE A 為側壁接點開路，TRACE B 為側壁接點接地時，從圖中可以發現元件的素明顯的從 7.7ns 提昇到 1ns，光電流大小僅從 $90\mu\text{A}$ 下降到 $45\mu\text{A}$ ，與先前技術相較，光電流增益並無太大的犧牲。

從『附件三』與『附件四』的比較可以得知，本發明所揭露的側壁接點的概念與先前技術所揭露的基極射極偏壓的概念，在具有量子結構的光電晶體中能夠在幾乎不犧牲增益的情形下有更明顯的速度提昇。這是因為在量子結構中，carrier trapping 效應非常嚴重，使用側壁接點後，才能將 trapped carrier 經由橫向的通道移除。

此外，本發明所揭露的側壁接點結構之光電晶體，在適當的光功率激發使其操作在線性區，同樣展現了速度增加的特性。如『附件五』以及『附件六』所示，『附件五』為應用本發明所揭露的側壁接點結構在線性區域所量得的脈衝響應，『附件六』為『附件五』的結果經過傅立葉轉換後所得到的電頻寬。在大約 850nm 波長的光激發下，從圖中可以得知其光電頻寬約在 3GHz 左右，由此可驗證本發明所揭露的光電晶體於光纖通信應用的可行性。

本發明所揭露的光電晶體結構在以光異質接面雙極性電晶體為主的光電積體電路中提供了新的應用，例如，此側壁接點因為能非常有效的控制輸出波形的大小和形狀，所以當此接點外加一控制信號源，或是外部電路時便能夠組合成光注入鎖定振盪電路，或是光電混頻電路。

雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明，任

何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【圖式簡要說明】

第 1 圖，係為本發明所揭露之具有側壁層之光電晶體之第一實施例；

第 2 圖，係為本發明所揭露之具有側壁層之光電晶體之第二實施例；

第 3 圖，係為本發明所揭露之具有側壁層之光電晶體之第三實施例；

附件一，係為光電晶體側壁接點開路時，基極接點開路和接地的脈衝響應比較；

附件二，係為光電晶體基極接點開路，側壁接點開路和接地的脈衝響應比較；

附件三，係為具有量子結構的光電晶體側壁接點開路時，基極接點開路和接地的脈衝響應比較；

附件四，係為具有量子結構的光電晶體基極接點開路，側壁接點開路和接地的脈衝響應比較；

附件五，係為應用本發明所揭露的側壁接點結構之光電晶體在線性區域所量得的脈衝響應；以及

附件六，係為附件五所量得的脈衝響應經過傅立葉轉換後所得到的電頻寬。

【圖式符號說明】

10基板

20	次集極層
30	集極層
31	集極電極
40	基極
41	基極電極
50	射極
51	射極電極
60	側壁層
61	側壁接點
70	量子結構
80	基極層
81	基極電極
90	射極層
91	射極電極

拾、申請專利範圍：

1. 一種半導體光電晶體，包括有：

一基板；

一適當參雜之集極層形成於該基板上，並於其上形成有一集極電極；

一適當摻雜之基極層形成於該集極層上，其摻雜形式與該集極層不同，並於其上形成有一基極電極；

一適當摻雜之射極層係形成於該基極層之上，其摻雜形式與該集極層相同，並於其上形成一射極電極；以及

一適當摻雜之側壁層，其摻雜形式與該基極層相同，其橫向位置約略位於該集極層的側邊，縱向位置約略位於該基極層的下方，並和該集極層同一平面，並於其上形成一側壁接點，俾使當該側壁接點外接一最低電壓時，累積於該基極射極接面之電洞可由該側壁層移除。

2. 如申請專利範圍第 1 項所述之半導體光電晶體，其中該基板係為一適當摻雜半絕緣之半導體基板或絕緣體基板。

3. 如申請專利範圍第 1 項所述之半導體光電晶體，其中更包括有一適當摻雜的次集極層形成於該基板上，其摻雜形式與該集極層不同。

4. 如申請專利範圍第 1 項所述之半導體光電晶體，其中該基極層厚度約在 10nm~500nm 之間。

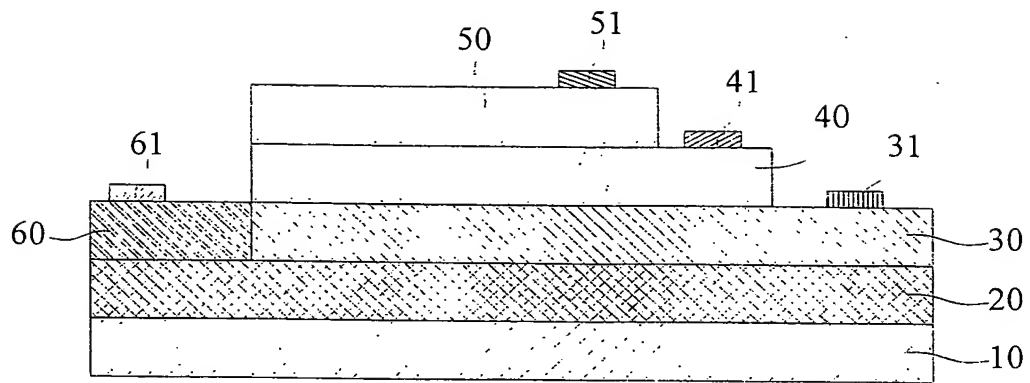
5. 如申請專利範圍第 1 項所述之半導體光電晶體，其中該射極層之帶溝寬度係大於等於該基極層之帶溝寬度。

6. 如申請專利範圍第 1 項所述之半導體光電晶體，其中該側壁層可形成一

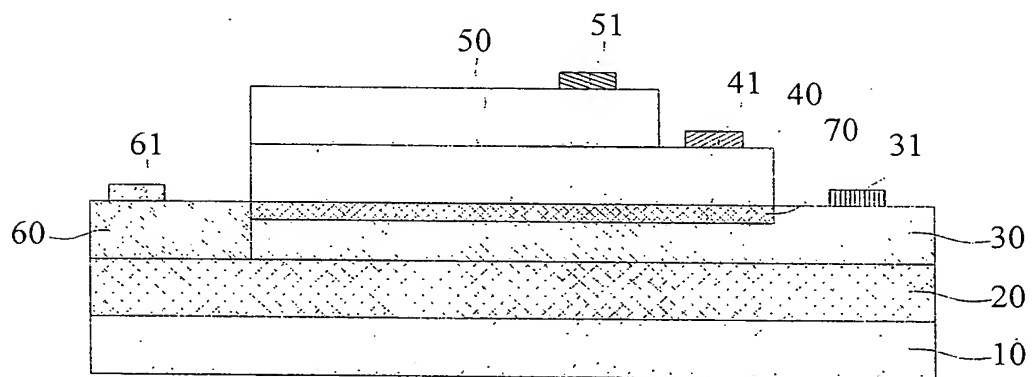
個或一個以上，分佈在該射極層之兩側與周圍。

7. 如申請專利範圍第 1 項所述之半導體光電晶體，其中該集極層更包括有使用不同半導體材料交錯成長於該集極層上之量子結構。
8. 如申請專利範圍第 7 項所述之半導體光電晶體，其中開該量子結構係為一量子井 (quantum well)。
9. 如申請專利範圍第 7 項所述之半導體光電晶體，其中開該量子結構係為疊晶格 (super-lattice)。
10. 如申請專利範圍第 7 項所述之半導體光電晶體，其中開該量子結構係為量子點 (quantum dot)。

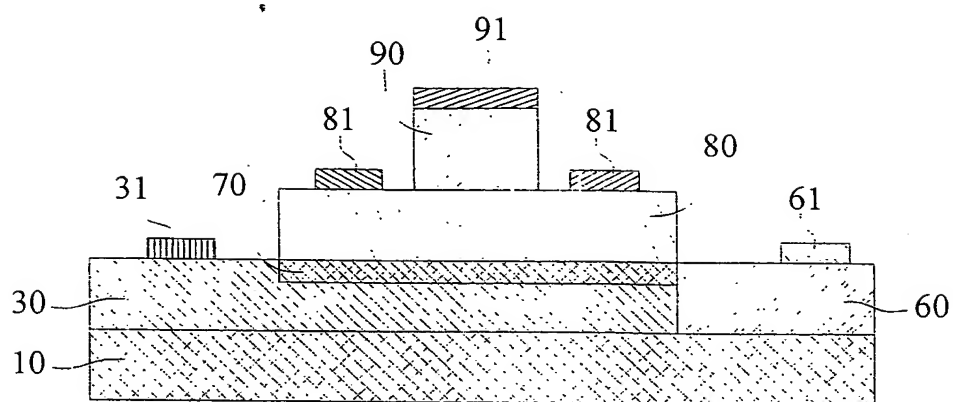
拾壹、圖式：



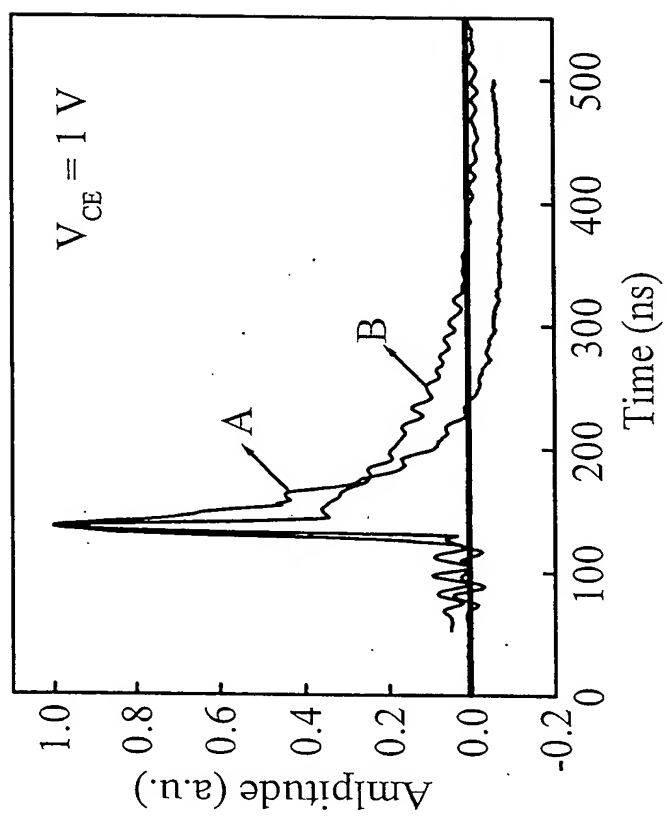
第1圖



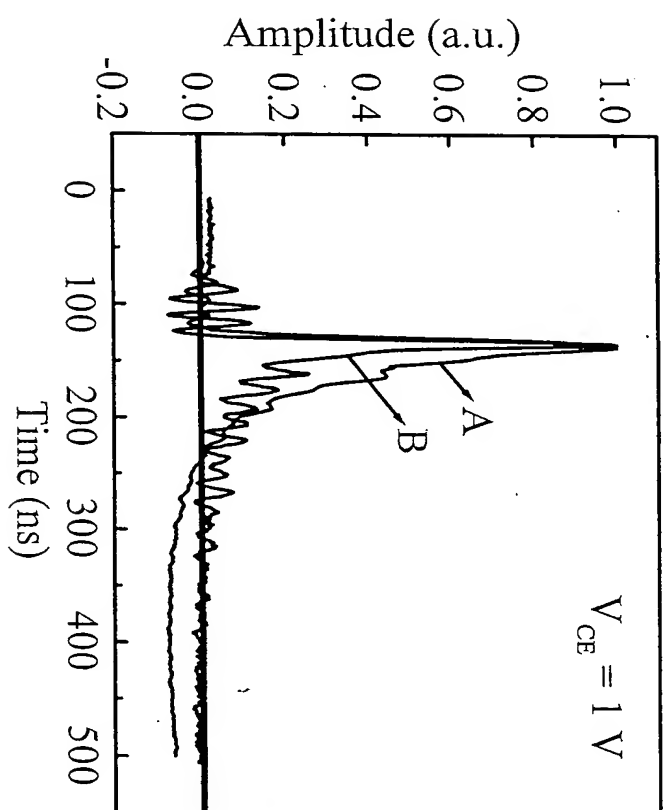
第2圖



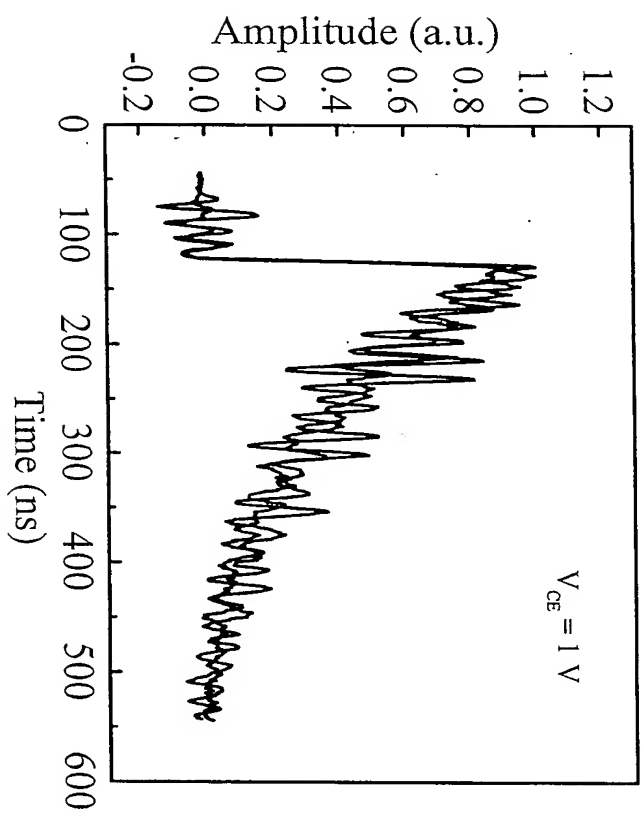
第3圖



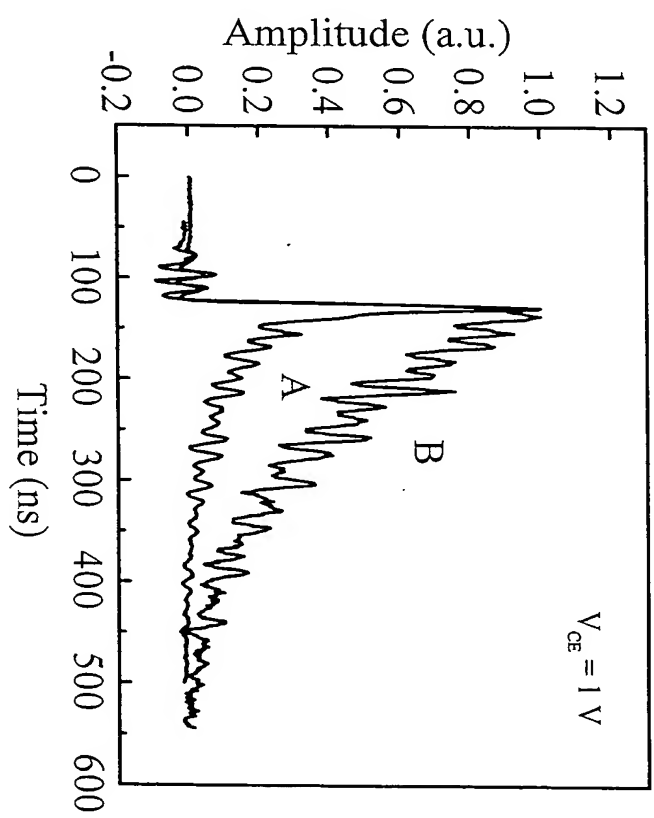
附件一



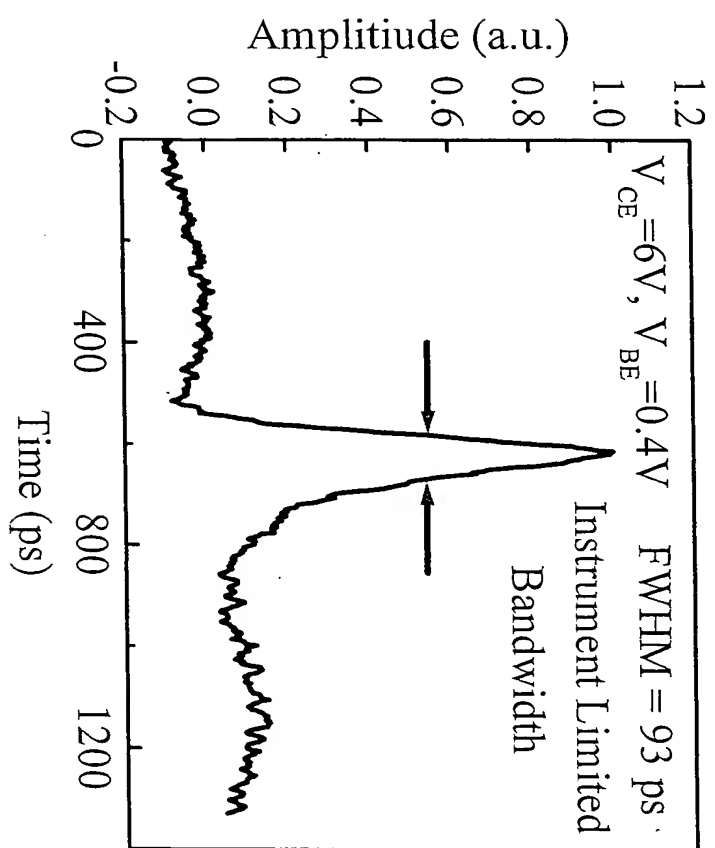
附件二



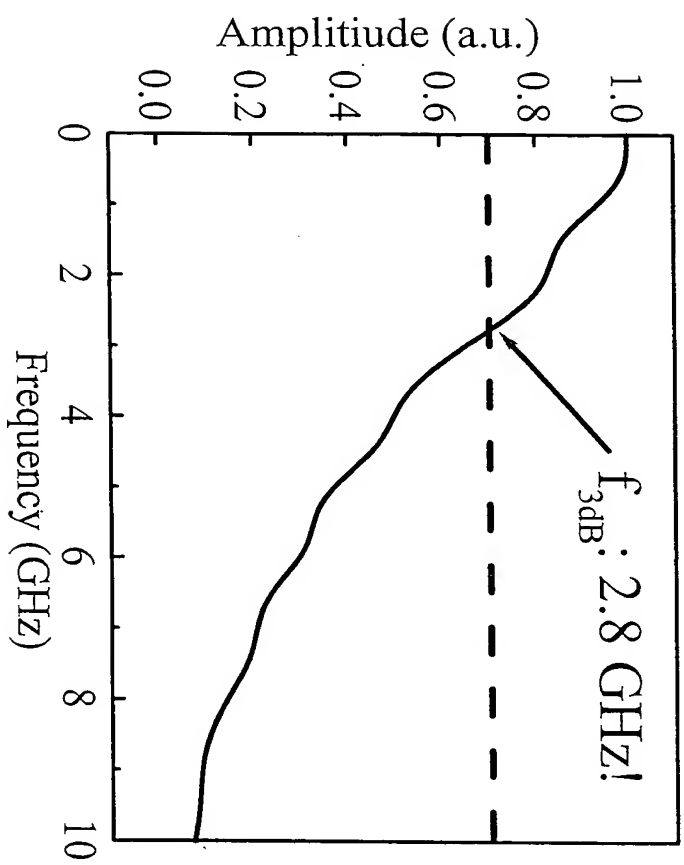
附件三



附件四



附件五



附件六